

TESTING APPARATUS FOR INTEGRATED CIRCUIT

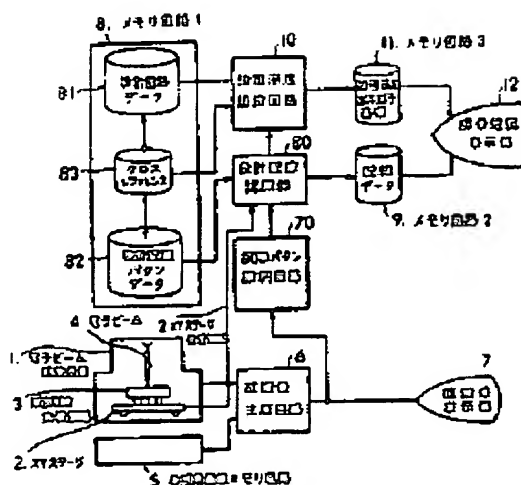
W1296

Patent number: JP1277781
 Publication date: 1989-11-08
 Inventor: KUJI NORIO
 Applicant: NIPPON TELEGR & TELEPH CORP
 Classification:
 - international: G01R31/28; G01R31/26; H01L21/66
 - european:
 Application number: JP19880107940 19880430
 Priority number(s):

Abstract of JP1277781

PURPOSE: To give guidelines regarding a fault tracing direction, by a method wherein the theoretical depth and the direction of signal propagation of a designed wiring pattern corresponding to a pattern appearing in an image of a difference between an article to be tested and a good article are given to the designed wiring pattern and displayed.

CONSTITUTION: An observation image of a sample of an integrated circuit 3 to be tested, which is obtained from an electron beam test apparatus 1, and a normal operation state image for reference which is stored beforehand in a memory circuit 5 for an image for reference are subjected to a difference processing in a fault image forming circuit 6, and a fault image is formed and displayed in a fault image display element 7. A fault search map is prepared and displayed in the following procedure. First a fault pattern discriminating circuit 70 discriminates the length of the fault pattern, the coordinates of end points thereof, etc., on an observed fault image, as form parameters. Based on the fault pattern, the result of recognition by a design wiring recognizing element 80 is stored in a memory 2. A logical depth recognizing circuit 10 reads the logical depth of a circuit network and the terminal position of a logic cell and stores them in a memory 3. The data in the memories are displayed by a display element 12.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

BEST AVAILABLE COPY

⑫ 公開特許公報(A) 平1-277781

⑤ Int. Cl.

識別記号

庁内整理番号

④ 公開 平成1年(1989)11月8日

G 01 R 31/28

L-6912-2G

H 01 L 21/66

G-7807-2G

C-6851-5F

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 集積回路試験装置

⑮ 特 願 昭63-107940

⑯ 出 願 昭63(1988)4月30日

⑰ 発 明 者 久 慈 憲 夫 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑱ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑲ 代 理 人 弁理士 玉蟲 久五郎 外2名

明 細 書

1. 発明の名称

集積回路試験装置

2. 特許請求の範囲

動作状態に置かれた集積回路試料上の一定領域を電子ビームにより走査し、一つまたは一つ以上のタイミングで二次電子像を取り出し、前記取り出した二次電子像と、良品試料又は正常動作条件下の同一試料又は設計データから得た像との間での差分像を得て故障を認識する集積回路試験装置において、

前記差分像の中に現れたボタンに対応する設計配線ボタンを認識する手段と、

前記認識した設計配線ボタンの論理的深さを認識する手段と、

前記認識した設計配線ボタンの信号伝搬の起点を認識する手段と、

前記論理的深さおよび信号伝搬の方向を前記設

計配置ボタンに付与し表示する手段とを備えてなる

ことを特徴とする集積回路試験装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、集積回路の故障診断を高速且つ詳細に行う電子ビーム試験装置に関するものである。

(従来の技術)

電子ビーム試験装置を用いた集積回路の試験法の一つに、故障像を利用する方法がある。故障像とは、電子ビーム試験装置により被試験集積回路試料から得られた画像データと、別途用意したあらかじめ正常とわかっている画像データとの間の差分の結果得られる像である。この像の上では故障の状態が一目で観察できるため、その状態の時間的変化を追跡することで、簡便且つ手軽に故障箇所が特定できる。

このようなテスト方法には、大きくわけてダイ

ナミックスフォールト像(DFI:たとえばT.C. May et al., "Dynamic Fault Imaging of VLSI Random Logic Decices", 1984 IEEE/IRPS pp.95-108)を用いる方法と、フォールトコントラスト像(FCI)たとえばAlan R. Stivers et al., "Fault Contrast: A New Voltage Contrast VLSI Diagnosis Technique", 1986 IEEE/IRPS pp.109-114)を用いる方法の二つがあり、その概要を第5図(a)、(b)に示す。第5図(a)はダイナミックスフォールト像の生成、第5図(b)はフォールトコントラスト像の生成を示す。前者では被試験デバイスとしての被試験集積回路51と良品デバイスとしての良品集積回路52の二つを用意しておき、同一の動作条件下で両者から画像データを取り込み、その差分をとることで故障像が得られる。53は同一テストパラメータ、54、55は観測像、56は差分回路、57はダイナミックスフォールト像、58はフォールトキューブを示す。

一方後者は、特定の試験パラメータ条件下では正常動作することが確かめられているデバイスに

ミング($t = n$)で故障像の観測ゾーン62を移動しながら集積回路試料上の故障ボタン63を追跡していく(第6図(a))。故障ボタン伝搬の起点に到達したならば、一つ前のテストボタンタイミングでテストボタンを止め($t = n - 1$)、再度試料上を人手で追跡し、故障伝播の起点を探す(第6図(b))。こうして、故障ボタンの発生しなくなるタイミングに到達したとき、最後に到達した故障の起点を真の故障部分であると判定する。DFIの場合でも最終的にはこの方法をとることが多い。というのは、故障ボタンの拡散は必ずしも直感的にわかる程一点からきれいに拡散する保証はなく、両像データをとるタイミングにも依存するが、むしろ発生点から明らかにならないような変化をするケースが一般的だからである。

(発明が解決しようとする課題)

第6図に示す追跡方法では、配線ボタンを認識できる精度で画像を取り込む必要があるため、画素数の制限から集積回路試料全体を覆う程観測ゾ

対して適用されるもので、同一デバイスの被試験集積回路511から一つは正常動作条件下のたとえば512のテストパラメータ1で、もう一つは正常動作しない条件下の513のテストパラメータ2で観測像514、515を得て、差分回路516により差分をとり、故障像としてフォールトコントラスト像517を得る。この方法は、故障モードがマージン性のもののみに限定されるが、両像の差分処理に際して、両像同士の位置合わせや歪補正が不要であるという利点がある。

DFIを用いた故障追跡の方法には、第5図(a)に示すようなフォールトキューブ58を利用する方法がある。フォールトキューブとは、故障像を時間方向に並べて三次元像表示したもので、故障ボタンが時間と共に拡大する様子を目視観測し、その起点を見付けだすことで故障の発生箇所が特定される。

FCIの場合の故障追跡方法を第6図(a)、(b)に示す。60は集積回路チップで、故障が出力パッド61を通して検出されると、そのタイ

ーンを大きくすることは難しい。そのため、例えば1mm×1mmの局所的なゾーンで故障像を取り込み、故障ボタンを追跡していくことにより、故障像を取り込むたびに、故障配線ボタン上の信号伝搬方向や故障配線ボタン間の信号の伝搬順序を確認する必要がある。しかしながら、従来からある方法では、単に故障像の観測手段が提供されているにすぎず、これらの追跡に必要とされる作業は、全て人手によらざるを得なかつた。具体的な作業としては、故障配線ボタンと設計配線ボタンの対応・配線ボタンと回路図との対応・回路図の構造追跡といったものがあるが、これらは設計上の知識に加え、巨大なマスクボタン図の追跡と観測像との比較といった膨大な時間・労力を要する作業を必要とし、これらが本手法の大規模集積回路への適用を困難にする大きな要因となつていた。

このような問題を解決するためには、何等かの形で設計データの利用をはかることが必要であることは従来から指摘されている。しかしながら、

通常の設計データでは、配線ボタンと回路図の間に、相互に相手を参照するためのリンクが設けられていないため、追跡のための地図をつくることができず、追跡の容易化は不可能であつた。

本発明は、従来の試験装置が故障追跡方向に関する指針を与える手段を持たないという問題を解決しようとするものであつて、その目的は故障追跡の高速化、高能率化を図ることにある。

(課題を解説するための手段)

本発明の集積回路試験装置は、上記の目的を達成するため、動作状態に置かれた集積回路試料上の一定領域を電子ビームにより走査し、一つまたは一つ以上のタイミングで二次電子像を取り出し、前記取り出した二次電子像と、良品試料又は正常動作条件下の同一試料又は設計データから得た像との間での差分像を得て故障を認識する集積回路試験装置において、前記差分像の中に現れたボタンに対抗する設計配線ボタンを認識する手段と、前記認識した設計配線ボタンの論理的深さを認識

する手段と、前記認識した設計配線ボタンの信号伝搬の起点を認識する手段と、前記論理的深さおよび信号伝搬の方向を前記設計配線ボタンに付与し表示する手段とを備えてなることを特徴とする集積回路試験装置である。

(作 用)

本発明にかかる装置は、故障像(DFIやFCI)を単に観測表示するだけの従来装置と異なり、追跡すべき方向を決めるための手掛りとなる情報も、故障像に対応して表示できるよう構成したことを特長とすることから、本発明に係る装置では、論理深度・信号の伝搬方向という形の探索地図を常に参照しながら、最も効率的な故障追跡手順を決められる。以下図面にもとづき実施例について説明する。

(実施例)

第1図に本発明の実施例を示す。電子ビーム試験装置1のXYステージ2上には、被試験集積回

路3が載っている。この上に電子ビーム4が照射され、表面から発生する二次電子信号が画像の形で取り出される。観測ゾーンの移動は、ステージ位置情報2XYを示すXYステージ2の移動によつてなされる。電子ビーム試験装置1から得られる被試験集積回路3の試料の観測像と、予め参照用画像メモリ回路5に蓄えられている参照用の正常動作状態像とは、故障像生成回路6にて差分処理がなされ、故障像が故障像表示部7に生成表示される。

一方、これに対応する故障探索地図は、以下の手順で生成され表示される。

- 1) 故障ボタン識別回路70は、観測故障像上の故障ボタンの長さ・端点の座標等を形状パラメータとして識別する。
- 2) 設計データとして回路データ81、設計配線ボタンとしてのデータ82及び両者の対応を示すクロスレファレンス83が8のメモリ回路1に格納されている。該クロスレファレンス83は、回路図と配線ボタンの両者の間に互に相手

を参照できるようなリンクが存在するような仕組みをもつ設計データベースを利用することで、容易に生成できる(たとえばN. Kuji et al., "FINDER: A CAD System-based Electron Beam Tester for Fault Diagnosis of VLSI Circuits", IEEE Trans. CAD, April 1986, Vol CAD-5, Number 2, pp-313-319)。

- 3) 1)で得られた故障ボタンの形状パラメータに基づき、対応する設計配線ボタンの配線データを8のメモリ回路1の中より選択的に読出、設計配線認識部80による認識結果を9のメモリ回路2の中に蓄積する。
- 4) この配線に対応する回路ネットはクロスファレンス83を参照することで求められる。
- 5) 論理深度認識回路10は、4)で得た回路ネットの"論理深度"及びこのネットに対する論理セルの出力端子の位置を読出し、11のメモリ回路3の論理深度出力端子座標に蓄積する。"論理深度"とは、回路図上の所定の経路を想定したとき、全体回路または回路ブロックの一次

入力端子からその回路ネットに到達するとき
に経由する回路ネットの段数である。

- 6) 9のメモリ回路2及び11のメモリ回路3の
中から論理深度・配線データ・出力端子座標を
読出し、探索地図を探索地図表示部12に表示
する。

第2図(a)乃至(c)に故障ボタンに対応す
る設計配線の認識を行つた実施例を示す。第2図
(a)は故障像200の例で、20は観測された
故障配線ボタンである。故障配線ボタン20は適
当な閾値で二値化され、そのボタンの端点21
の位置・線長などが特長パラメータとして求めら
れる。この配線上の一点の対応する設計座標上の
位置は、XYステージの座標を読み取ることで求
められ、その点を中心に探索範囲を決め、中に含
まれる配線ボタンを見付けだす。もしこの探索範
囲がXYステージの位置決め精度より大きければ、
対応する配線ボタンにはこの中に含まれているは
ずである。第2図(b)は、こうして配線ボタン
の探索範囲22に得られた対応設計配線ボタン2

01である。これらの設計配線ボタン201の中
のいずれが故障ボタンに対応するかは、故障ボタ
ンの特長パラメータをもとに決めることができる。
その結果第2図(c)のように選択された対応設
計配線202として、選択される。

第3図(a)、(b)は、探索地図の実施例を
示すものである。第3図(a)は回路図上に求め
た論理深度の例300を示すものであつて、論理
深度は一次入力から数えた回路ネットの段数に対
応させて求められ、各回路ノードにたとえば31、
32、33、34の番号の形で付与されている。
一方、第3図(b)は探索地図の表示例301で
あつて、各配線の矢印311は配線ボタン312
の信号の伝搬方向、番号31、32、33、34
は配線に対応する回路ネットの論理深度を表わし、
数字が小さいほど真の故障点に近いことを示す。
313は論理セル、314は信号出力起点を示す。

第4図(a)、(b)は、以上の探索地図表示
をもとに、本発明に係る装置を用いて行なつた試
験手順の実施例を示している。第4図(a)は被

試験回路の回路図を示すものであつて、数字41、
42、43、44、45は論理深度である。第4
図(b)は故障の追跡過程I、II、III、IVを表わ
しており、左に探索地図400、右に集積回路試
料上の故障像401を示す。402は故障像観測
ゾーン、403は故障ボタン、411は信号出力
端子、412は設計配線ボタン、413は観測ゾ
ーンである。左の探索地図400を参照しながら
右の故障像の探索方向を決め、真の故障点にわか
つて追跡を進める。通常、外部端子につながるバ
ツドから観測を始め、内部回路へと追跡を進める。
観測を始めたテストボタンのタイミングを $t = n$
(過程I)とする。最初の故障像上の故障ボタン
に対応する設計配線ボタンは、第2図に示す方法
で自動的に識別される。これらの識別に必要な情
報は人間が判断して対話式に入力してもよいし、
画像処理技術により自動的に抽出してもよい。探
索地図上で識別された対応配線には、配線上の矢
印で示す信号伝搬方向と配線間の論理深度を表わ
す数字が表示される。この中から最も論理的深度

を表わす数字が小さいものを選び、信号の伝搬方
向を遡るような方向に探索方向を決め、観測ゾ
ーン413を移動すればよい。このような平面的な
故障ボタンの追跡は、論理深度がこれ以上小さい
ものが現われなくなつた時点で終了する(過程II)。
このような追跡は、観測ゾーンのフィールド
サイズとし1mm×1mmあれば十分容易に行え
る。次にテストボタンのタイミングを所定ボタン
数だけ遡つた状態、タイミング $t = n - 1$ (過程
III)に設定し、同様に故障ボタンの探索を行う。
論理深度の最小となる故障ボタンを求めて追跡を
行い、このタイミング $t = n - 1$ における故障の
起点を探す(過程IV)。更にテストボタンのタイ
ミングを遡つて同様の過程を繰返し、故障ボタン
が故障像上にななくなつたとき、タイミング方向
の探索を終了し、その直前に求められた故障の起
点が真の故障発生点として求められる。

以上説明したように、いわば手探りで故障追跡
を行う従来装置に比べて、本発明に係る装置では、
論理深度・信号の伝搬方向という形の探索地図を

常に参照しながら、最も効率的な故障追跡手順を決められるという点で大きな改善があつた。

(発明の効果)

以上説明したように、本発明は設計データに基づく探索手順を明示する手段を備えることにより、故障像の故障追跡に際して、次の効果がある。

- 1) マスクボタン、回路図、及び両者の関係を人手で参照する必要がなく、追跡に伴う労力が大幅に軽減される。
- 2) 追跡手順が最適化されるため、画像データを処理する回数が最小化され、試験に要する時間が大幅に削減される。
- 3) 追跡手順が明示されるため、試験手順がルーチン化され、被試験集積回路の設計上の知識を持たない人でも短時間でテストが可能である。

4. 図面の簡単な説明

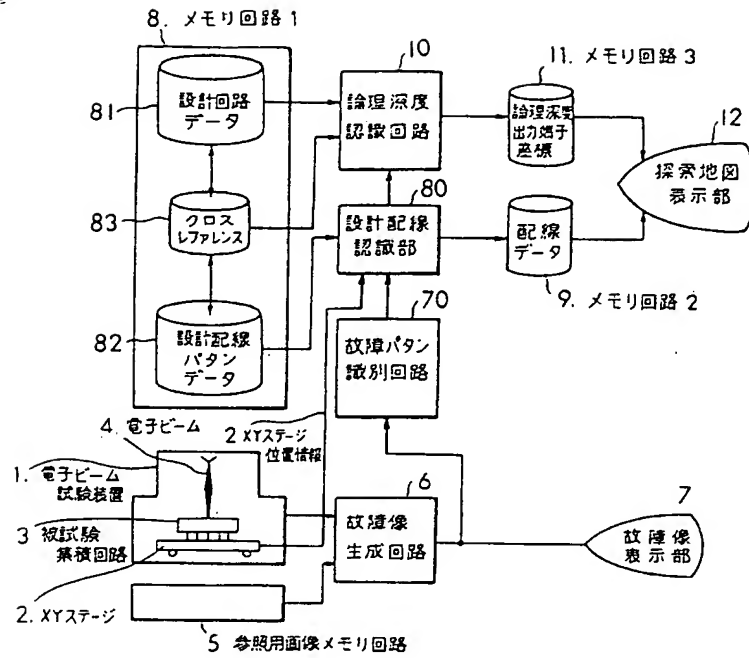
第1図は本発明装置を説明する図、第2図(a)乃至(c)は故障ボタンに対応する設計配線バ

タンの認識の実施例を説明する図、第3図(a)、(b)は探索地図表示の実施例を説明する図、第4図(a)、(b)は本発明装置における試験手順の実施例を説明する図、第5図(a)、(b)は従来の技術を説明する図、第6図はフールトコントラスト像による故障の追跡方法を説明する図である。

1…電子ビーム試験装置、2…XYステージ、3…被試験集積回路、4…電子ビーム、5…参照画像メモリ回路、6…故障像生成回路、7…故障像表示部、70…故障ボタン識別回路、8…メモリ回路1、81…設計回路データ、82…設計配線ボタンデータ、83…クロスレフアレンス、80…設計配線認識部、9…メモリ回路2、10…論理深度認識回路、11…メモリ回路3、12…探索地図表示部、200…故障像、201…設計配線ボタン、202…選択された対応設計配線、20…故障配線ボタン、21…端点、22…配線ボタンの探索範囲、300…論理深度の例、301…探索地図の表示例、31~34、41~45

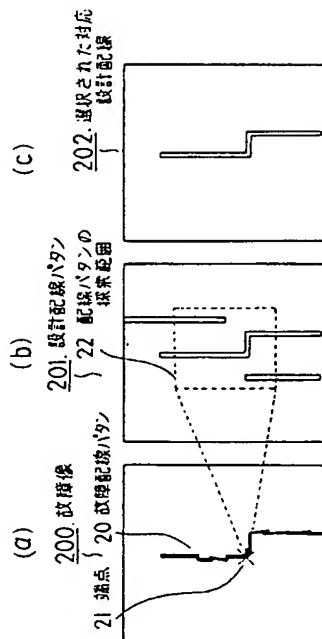
…論理深度、311…信号伝達方向、312…配線ボタン、313…論理セル、314…信号出力起点、400…探索図、401…集積回路試料上の故障像、402…故障像観測ゾーン、403…故障パターン、411…信号出力端子、412…設計配線ボタン、413…観測ゾーン、51、511…被試験集積回路、52…良品集積回路、53…同一テストパラメータ、54、55…観測像、56、516…差分回路、57…ダイナミックフールト像、58…フールトキューブ、512…テストパラメータ1、513…テストパラメータ2、514、515…観測像、517…フオトコントラスト像、60…集積回路チップ、61…出力パッド、62…故障像観測ゾーン、63…故障ボタン

特許出願人 日本電信電話株式会社
代理人 弁理士 玉 島 久五郎
(外2名)



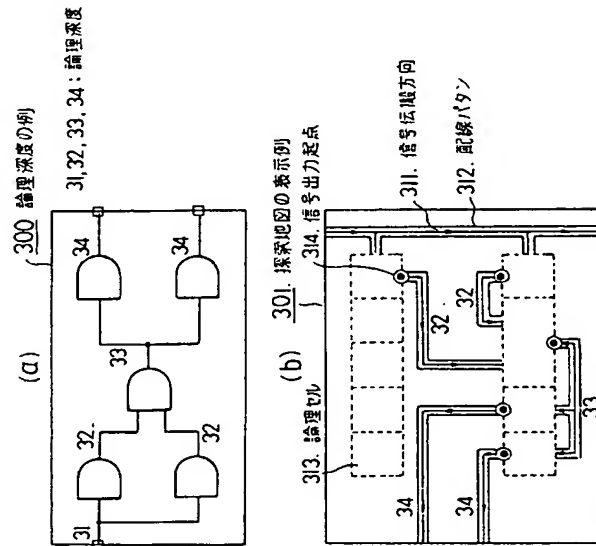
本発明の実施例を説明する図

第 1 図



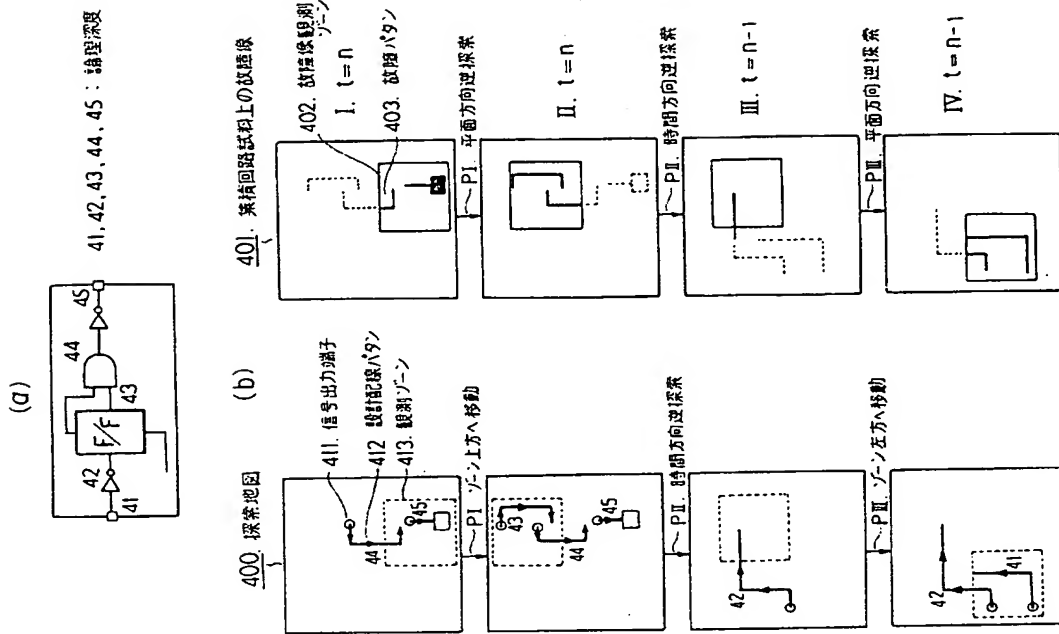
故障パターンに対応する設計配線パターンの認識の実施例を説明する図

第 2 図



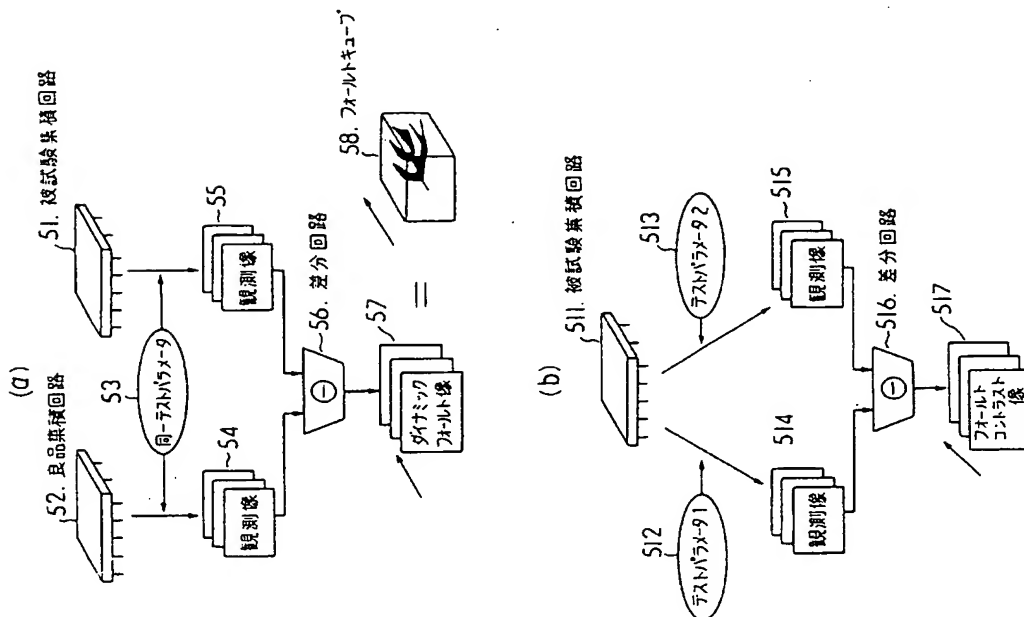
探索地図表示の実施例を示す図

第 3 図



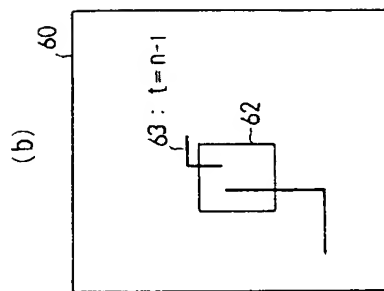
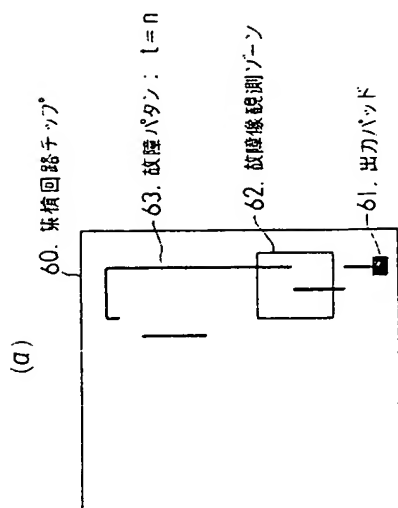
本発明の試験装置における試験手順の実例を説明する図

第 4 図



従来の技術を説明する図

第 5 図



フォールコントラスト像による故障の追跡方法を説明する図

第 6 図